



Robuste Halbleiter Komponenten – Erfolge und Risiken

Robustness Validation Euroforum
Uwe Thiemann
RoodMicrotec Stuttgart (D)



Zwolle



Noerdlingen



Stuttgart



Dresden



Bath

Anforderungen an Halbleiter in unterschiedlichen Applikationen und Umgebungs-/Stressbedingungen

- **Halbleiter müssen für die Anwendungen geeignet sein**
- **Der Produktionsprozess muss sicher sein**
- **Qualifikationen nach Standards simulieren häufig nicht die Einsatzbedingungen**
- **Selbst serielle oder Kombi-Tests sind unzureichend**
- **Risiken sind ohne Kenntnis der Applikation und den Anwendungsbedingungen schwer einschätzbar**










Risiken bei der Verarbeitung hinsichtlich ESD-(Vor-) Schädigungen!



- **Vorschädigungen nachzuweisen ist nahezu unmöglich oder zu kostenintensiv und daher nicht sinnvoll/zielführend.**
 - Vorbeugemaßnahmen sind zur Abstellung des ESD-Risikos in den **relevanten** Fertigungsschritten - zielführend - zu implementieren.
 - Fehleranalysen enden häufig mit EOS als Ursache – Schaden ist zu groß um sicher auf eine Vorschädigung zu schließen.
 - ESD – (Vor-) Schäden werden > 95% in der Produktion (ESDFOS + CBE) eingetragen, nur < 5 % ist aus dem Feld zu erwarten.

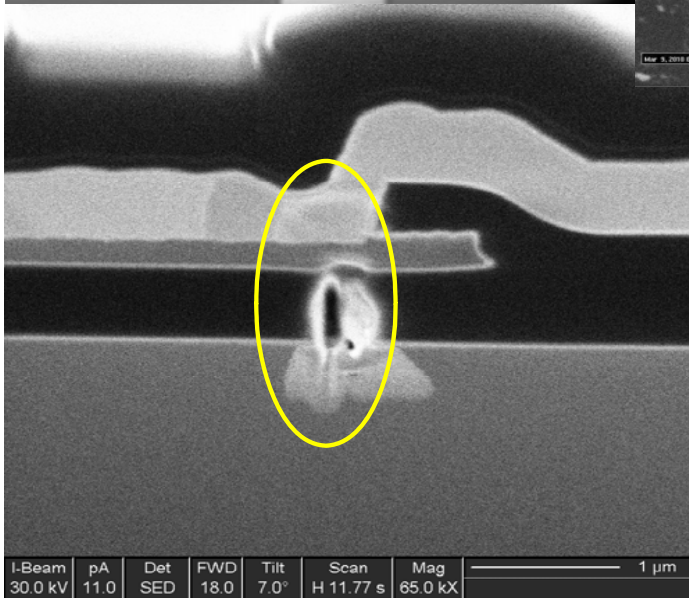
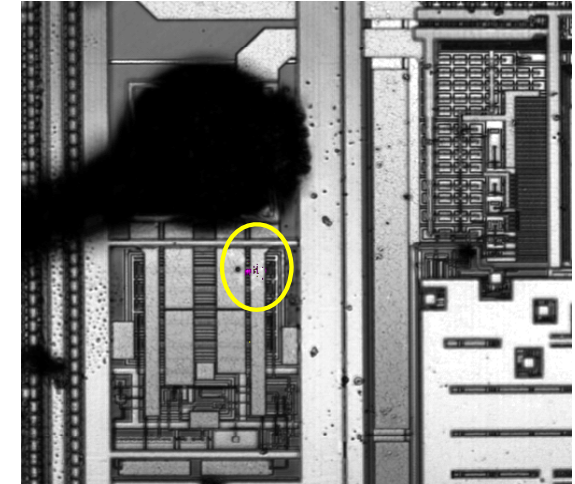
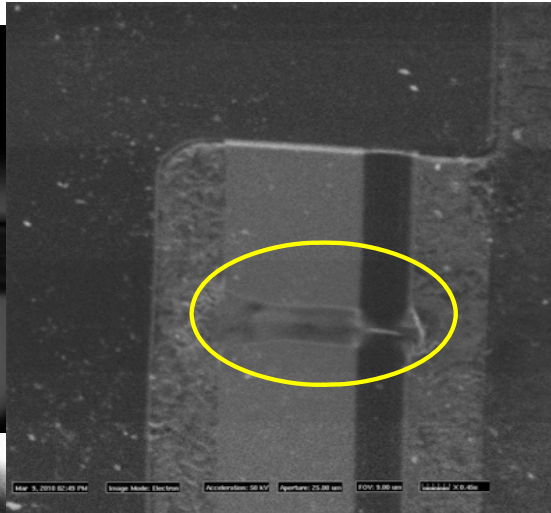
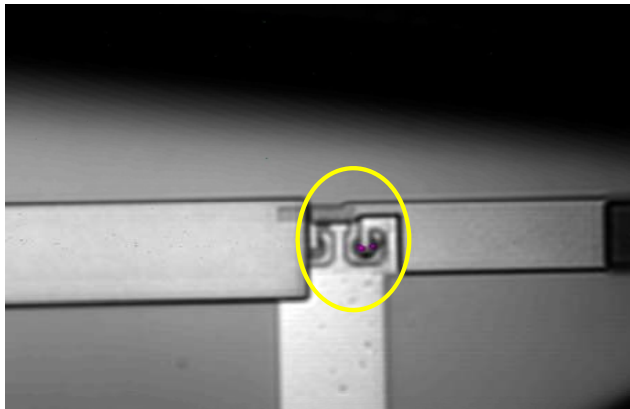
Nachweismöglichkeiten

Wichtige Methoden für die Fehlerortung

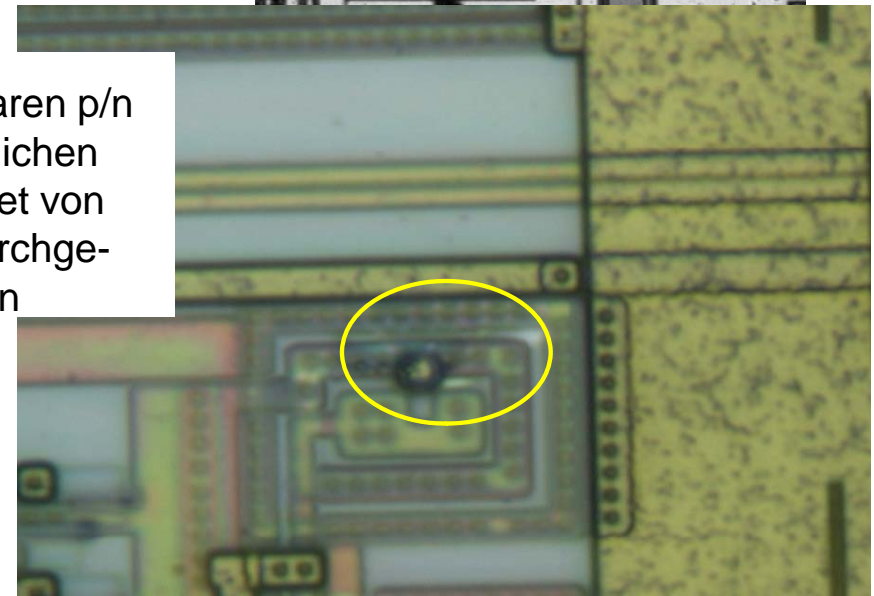
-  - Emissionsmikroskopie
-  - Flüssigkristallanalyse
-  - Vereisungsortung
-  - Infrarot-Thermografie
-  - OBIRCH und verwandte Lasertechniken
-  - EBIC/ OBIC
-  - Potentialkontrastverfahren (REM/ FIB/ e-Beam)
-  - Magnetische Mikroskopie
-  - PICA



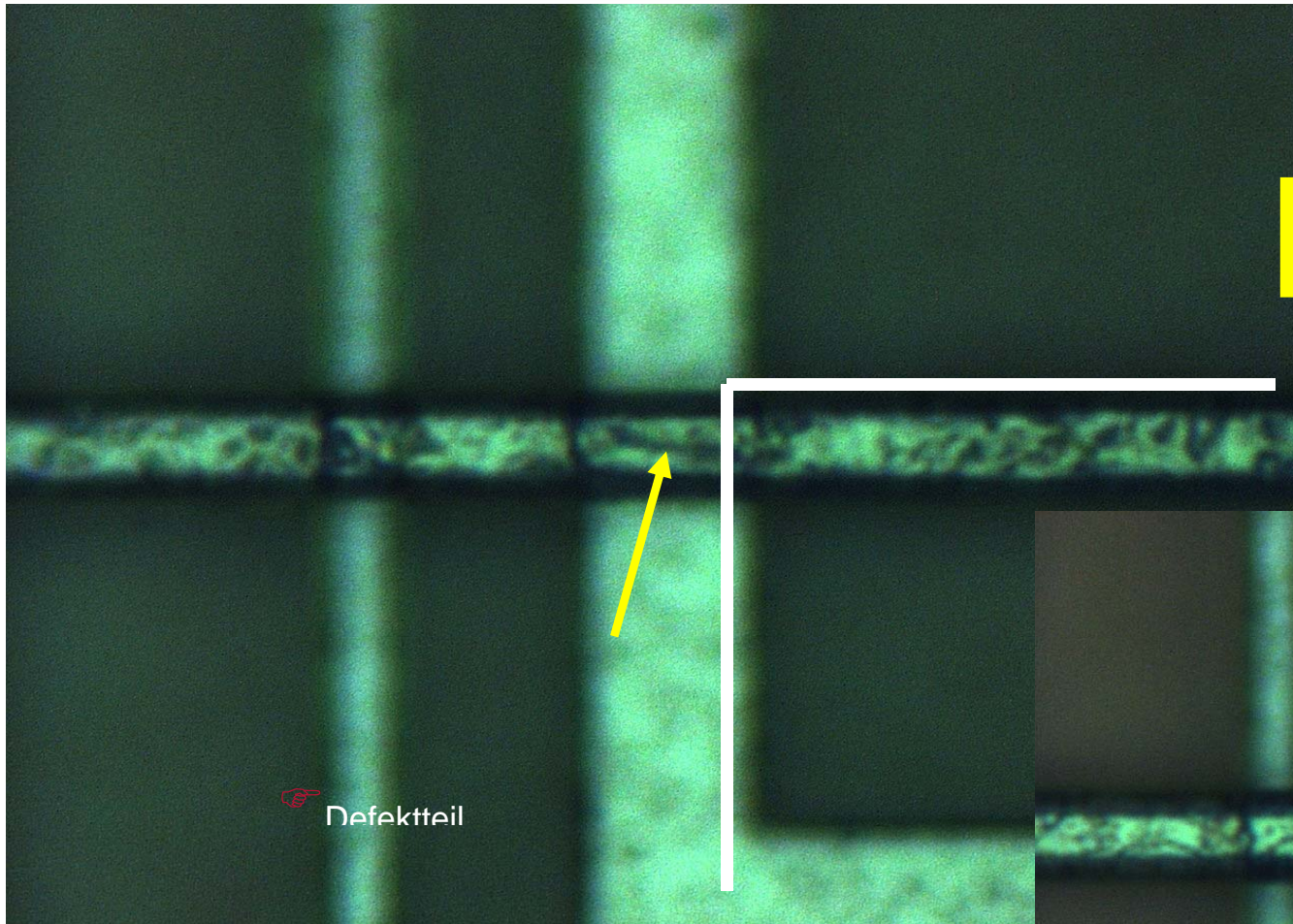
Beispiele für ESD-Schäden über Pins...




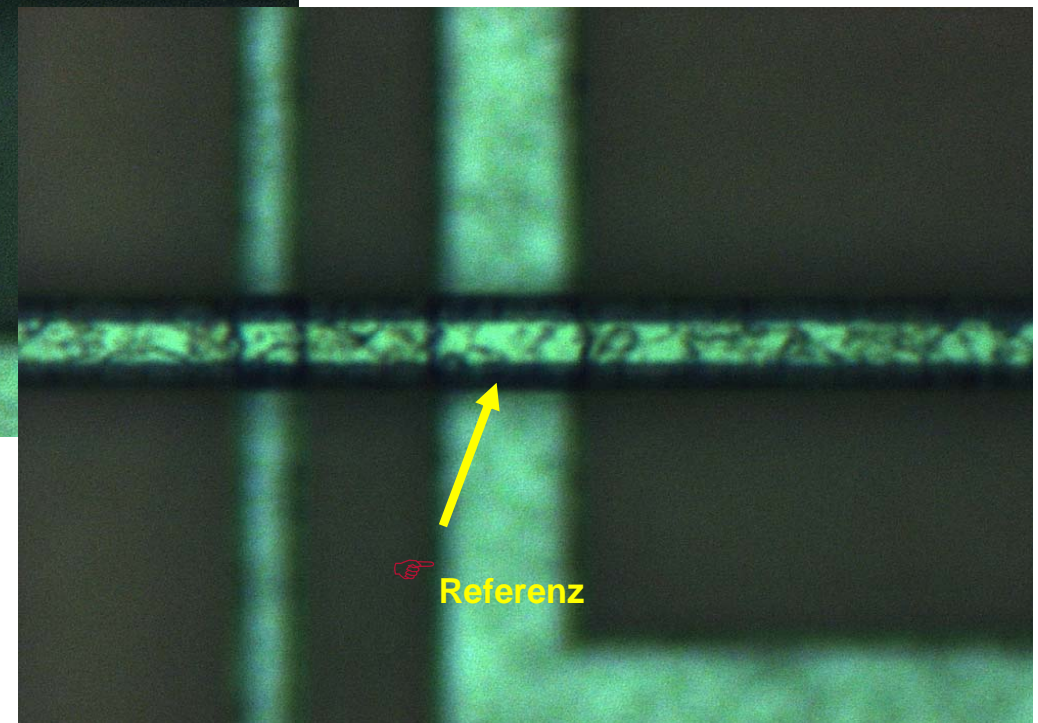
...vom kaum nachweisbaren p/n
Leckpfad bis zu EOS-ähnlichen
Durchschlägen, oft begleitet von
Sekundärschäden, z.B. durchge-
brannten Leiterbahnen



Im Lichtmikroskop

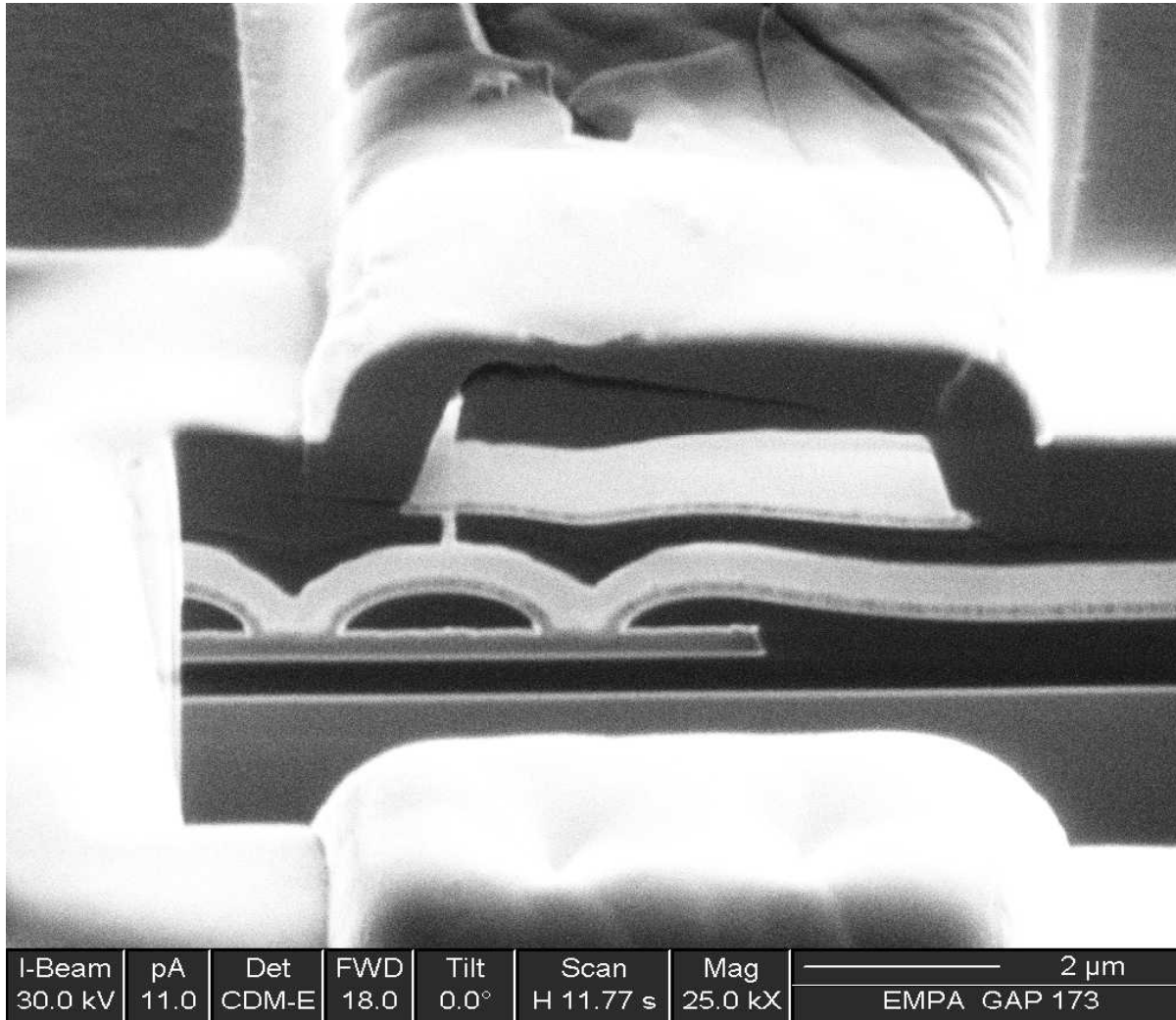


 Bei Random-Suche im
Lichtmikroskop gefunden !

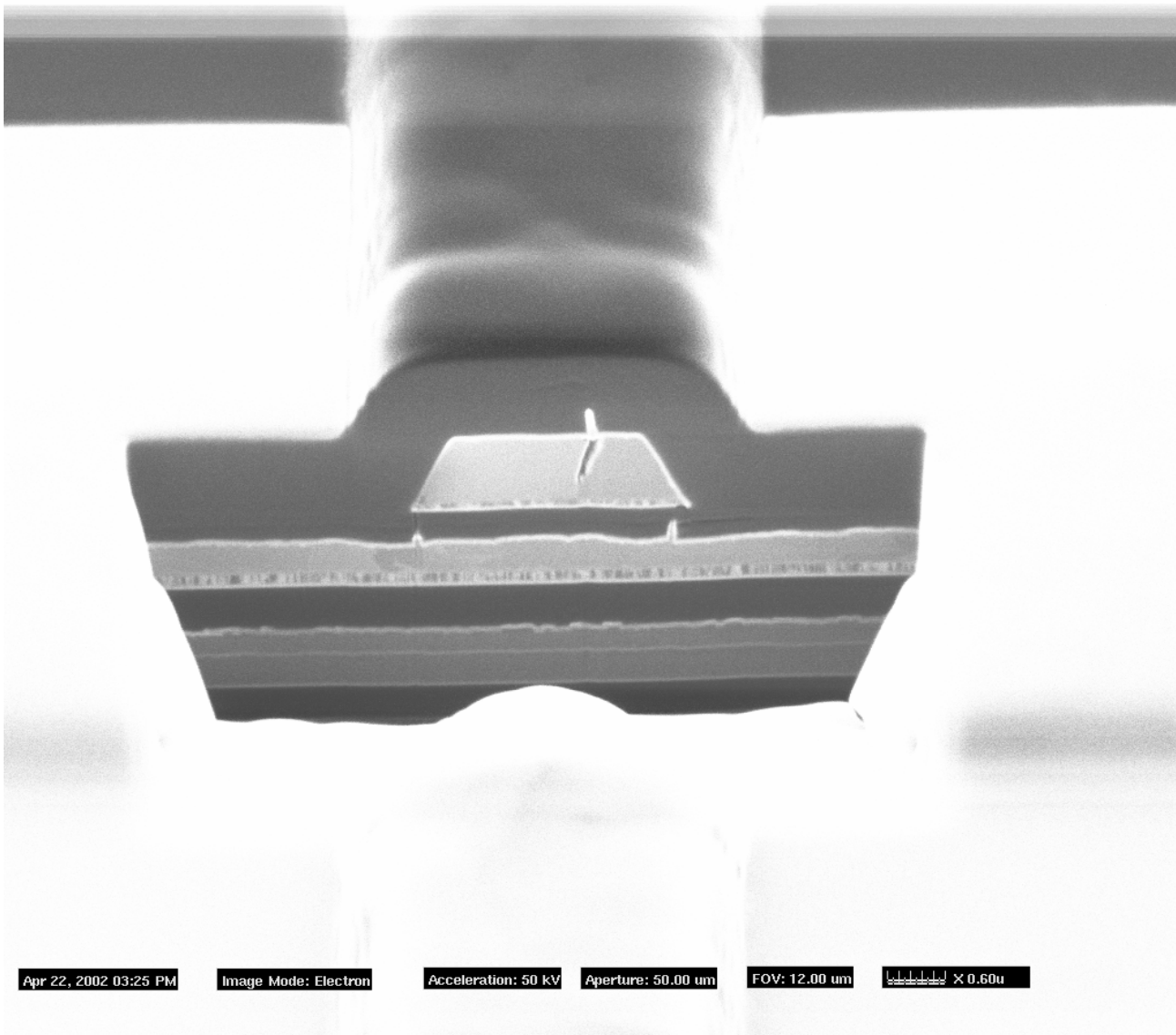




Defekt der sich als ESDFOS herausstellte

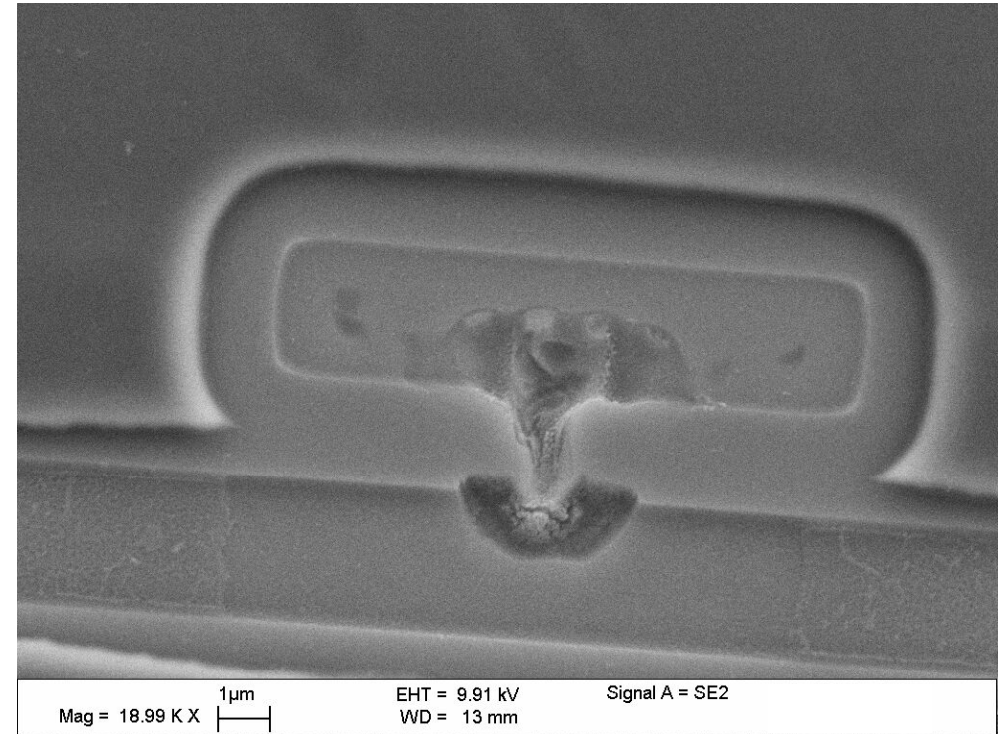
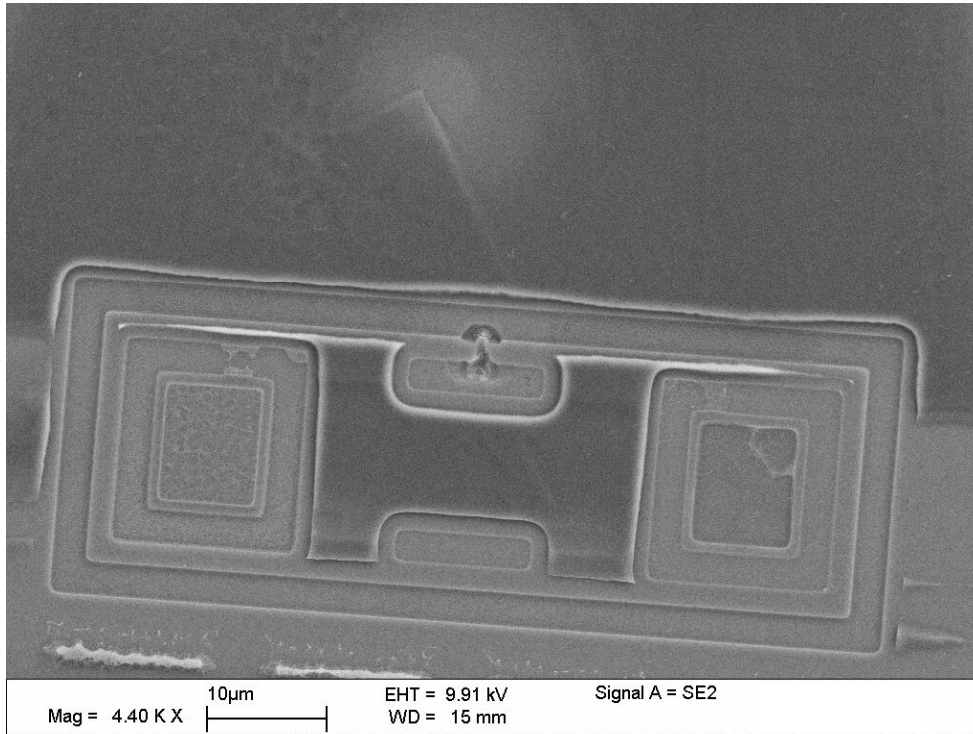


☞ ESDFOS Fehler lassen sich mit anderen Verfahren nur schwer oder gar nicht finden.



☞ Referenzdevice, elektrisch gut,
aber nächstes Chip neben dem
Defektchip auf der gleichen Rolle,
an der gleichen Stelle blind
geschnitten

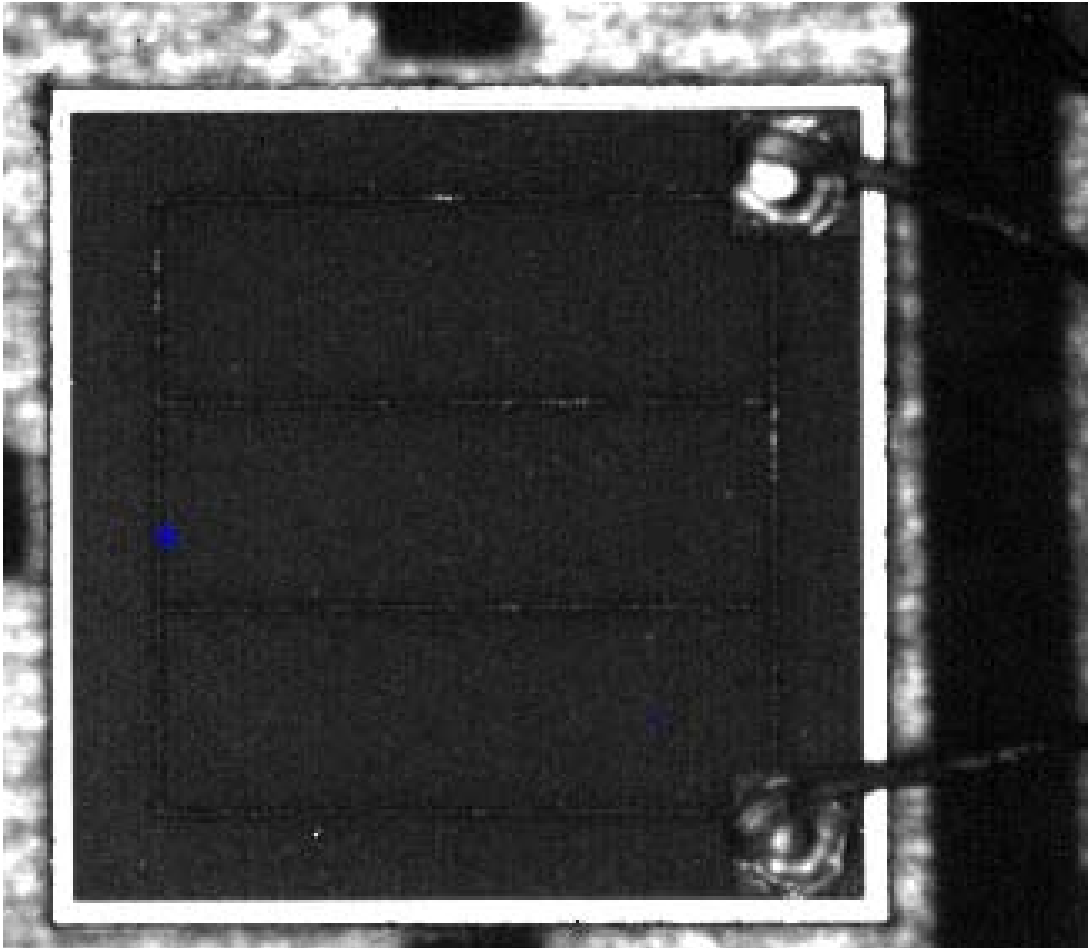
Integrierter Schaltkreis



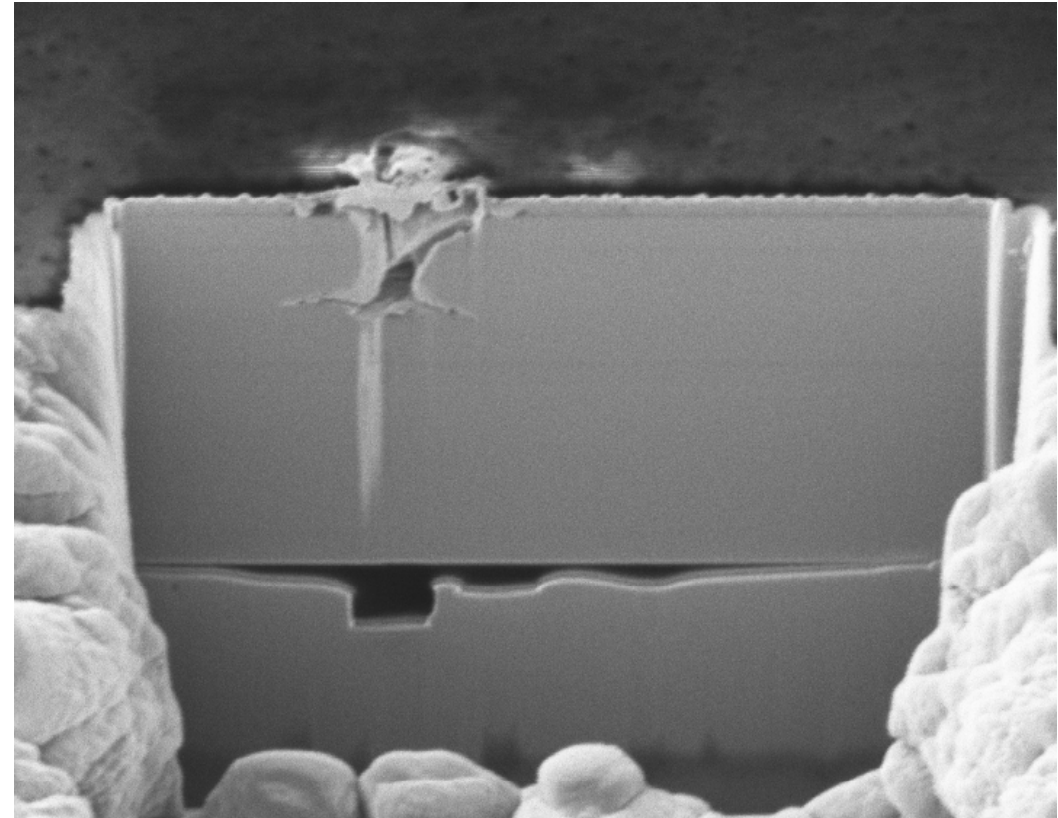
- 👉 Rückpräparation zeigt mechanische Zerstörung
- 👉 ESD, EOS oder durch ESD verursachter EOS
- 👉 Volumen mehrere μm^3 -> zu groß für reinen ESD Schaden

LED-Fehleranalyse

Fehlerortung mittels EMMI



EOS schaden im FIB-Querschnitt



Risiken bei der Verarbeitung hinsichtlich ESD-(Vor-) Schädigungen!



- ESD-Risiken bestehen selbst bei ESD-gerechten

Arbeitsplätzen häufig bei:

- Schlechten/defekten Masseanbindungen
- Robotorischen Abläufen bei denen Ladungen generiert werden, z.B. CBE-Fehler
- Keine vor-/nacheilenden Massepins beim Test

Beim Testen muss mit isolierenden Materialien gearbeitet werden – daher ist neben einer evt. Ionisation der Luft auch der Kontaktablauf wichtig, um keine undefinierten Zustände und damit ESD-ähnliche Schäden zu riskieren.

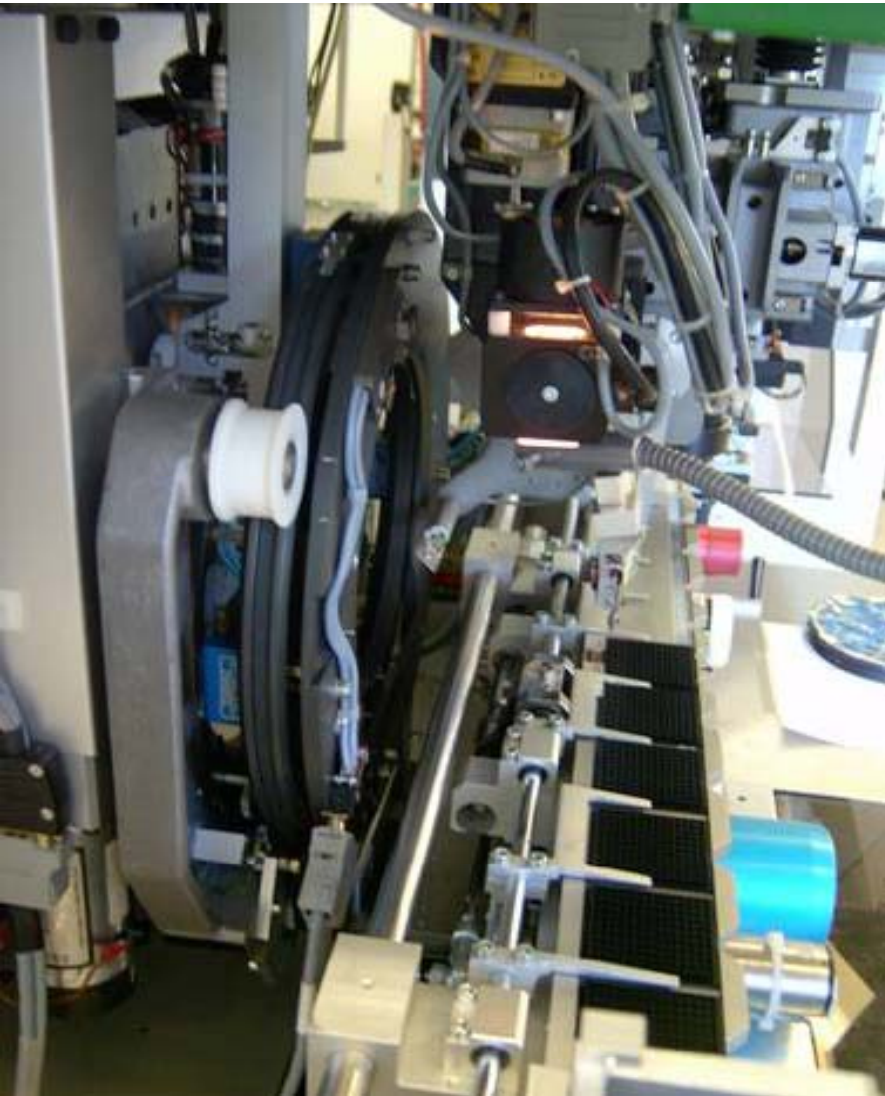
- Offenen Kontaktanschlüssen in unzureichender ESD-Verpackung

Erdungsprobleme



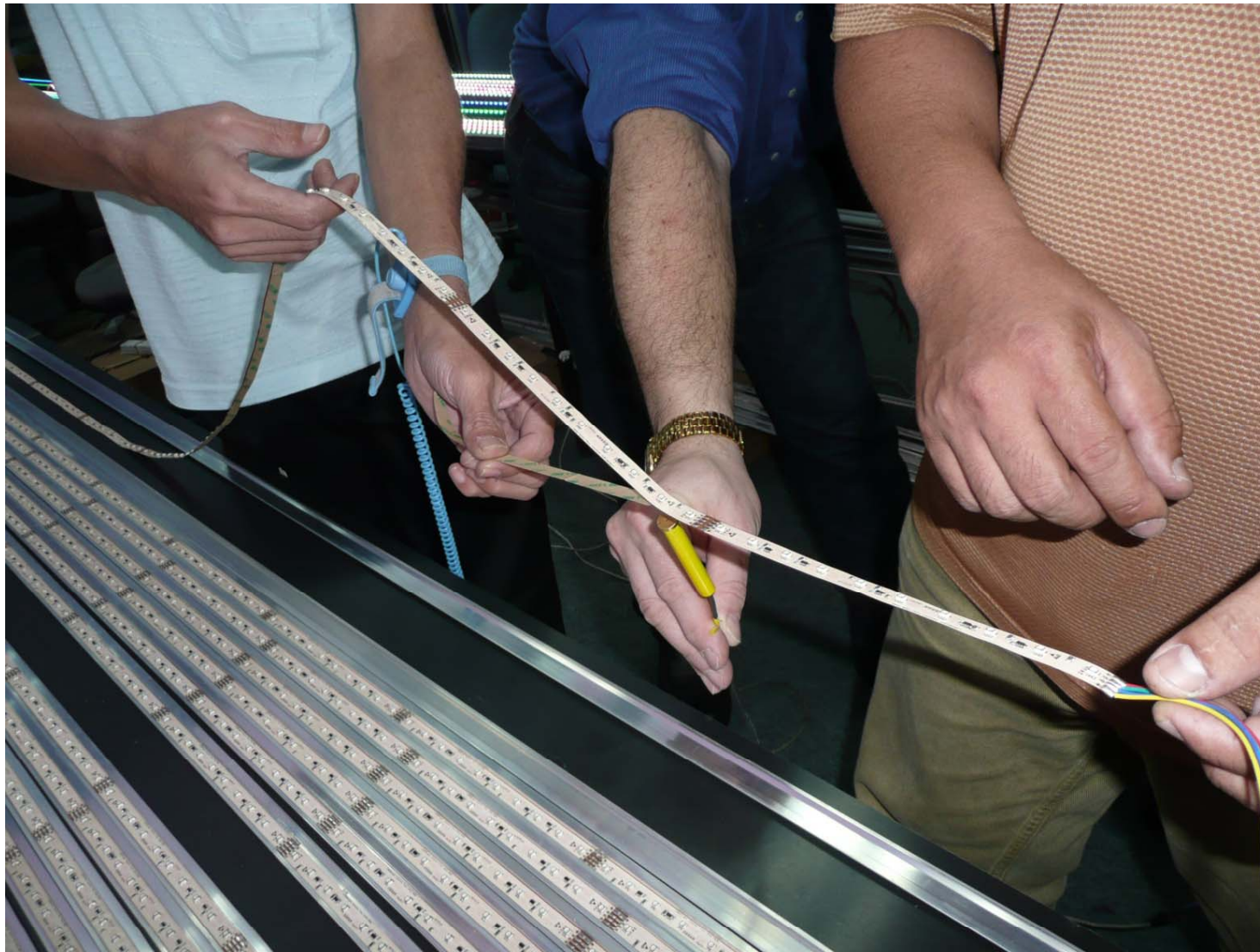
☞ Picker-Chuck aus eloxiertem Metall. Die Pickerköpfe sind z.T. geerdet, z.T. ungeerdet mit Isolierspannungen $>500V$

Erdungsprobleme

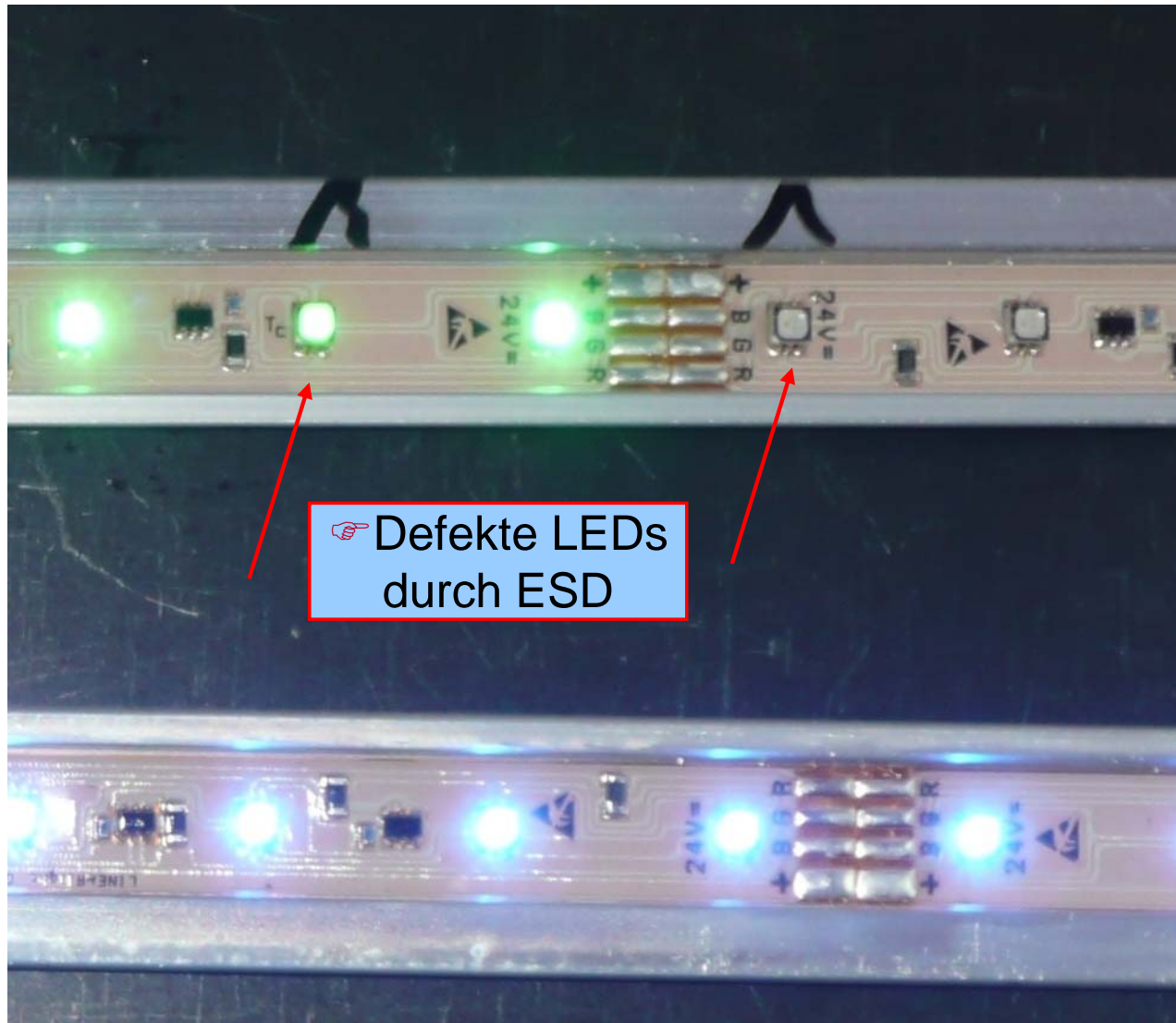


☞ Waferhalter in Teflonlager, ungeerdet (links), Aufbau mit eloxiertem Alu (rechts). Auch aneinander geschraubte Metallteile isolieren z.T. bis 1 kV !

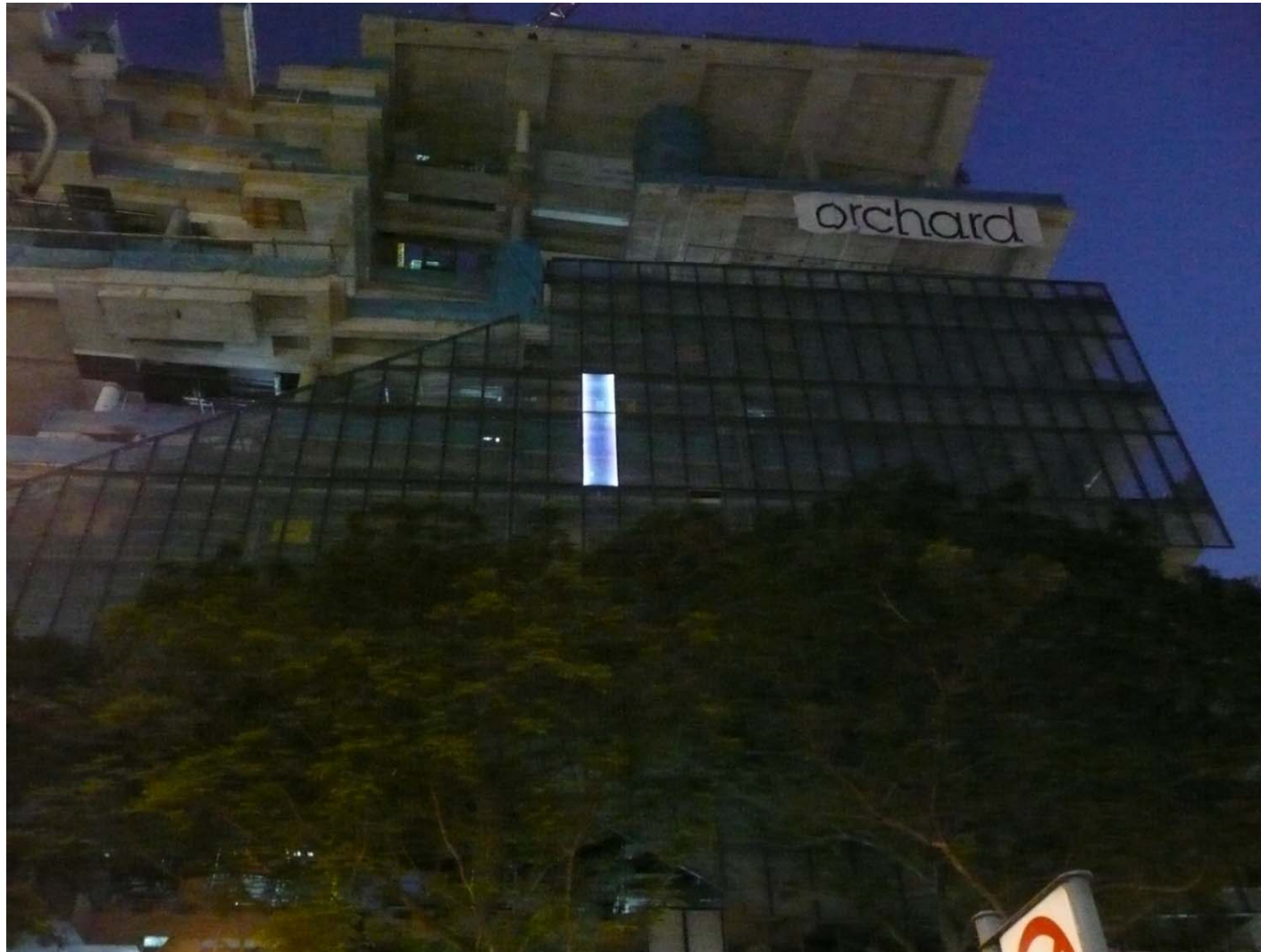
Fehler - LED „Handling“



Fehler - LED Fertigungsaspekte



LED Fertigungsaspekte




Auswahl geeigneter Qualifikationstests: notwendig oder vernachlässigbar?

- Ohne applikationsnahe Qualifikationstests werden Risiken erst im Feld sichtbar und können zu hohen Kosten durch Rückrufaktionen führen: z.B. Verwendung von QFN-Gehäusen die auf Grund Ihrer Anordnung auf der PCB und dem Einsatz unter Temp.-Wechseltest- und Vibrationsbedingungen nach < 2 Jahren im Feld (Automobil) ausfallen.
 - Mit Hilfe von sequentiellen Tests oder kombinierten Testbedingungen sind solche Ausfälle nachstellbar, wenn applikationsnahe Abläufe simuliert werden.
- **Fazit: Geeignete Qualifikationstests sind notwendig – wer diese als vernachlässigbar einstuft handelt grob fahrlässig oder/und muss im Datenblatt des BE's alle Haftung ausschließen!**

!!!– Verantwortung = Kunde -!!!

Zusammenfassung:

➤ Wird durch eine geeignete Fehleranalyse (Mitarbeit des Kunden zwingend notwendig) eine Ursache festgestellt, können, neben den vorbeugenden Maßnahmen, auch gezielte Verbesserungen eingeleitet werden. Gibt es bei den implementierten ESD-Vorbeugemaßnahmen keine Fehler mehr oder reduziert sich die Fehlermenge nachweislich nach Einführung von Verbesserungen, ist dies als Erfolg werten.

 **Risiken bleiben bestehen, falls weder eine ausreichende BE- oder Applikations-Qualifikation durchgeführt wurde noch eine ESD-risikofreie Produktion garantiert werden kann. Hier ist zusätzlich zu beachten, dass in der PCB-Fertigung höhere Belastungen (CBE) auftreten können als in den Standard ESD-Tests.**



RoodMicrotec
powerful solutions

...a strong partner for you!